

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-334175

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

G06F 12/02

(21)Application number : 04-138277

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.05.1992

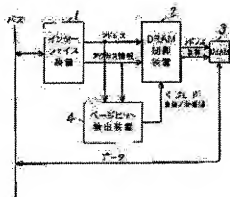
(72)Inventor : TAKADA SHUICHI
OCHIAI TOSHIYUKI
KITAMURA TOMOHIKO

(54) MEMORY CONTROL DEVICE

(57)Abstract:

PURPOSE: To attain rapid memory access by automatically detecting the page hit rate of memory access and dynamically utilizing the rapid page mode access of a DRAM.

CONSTITUTION: A page hit detector 4 monitors an address and an access information signal outputted from an interface device 1 to a DRAM control device 2 and detects a page hit in each memory access. Switching to a forced page mode or a non-forced page mode is judged based upon the current detected result and the past detected result. In this case, switching to the forced page mode or non-forced page mode is automatically executed by the detector 4. The DRAM control device 2 executes rapid page mode access or normal mode access operation based upon the switched mode and the inputted address and access information.



(51)Int.Cl.⁴
G 0 6 F 12/02識別記号
5 5 0庁内整理番号
7368-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-138277

(22)出願日 平成4年(1992)5月29日

(71)出願人 00005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 高田 周一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 落合 利之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 北村 朋彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

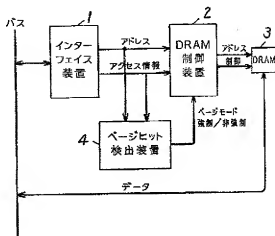
(74)代理人 弁理士 小畑治 明 (外2名)

(54)【発明の名称】 メモリ制御装置

(57)【要約】

【構成】 システム間との通信を行なうインターフェイス装置1と、DRAMアクセスの制御を行なうDRAM制御装置2と、高速ページモードアクセスをサポートするDRAM3と、ページヒットの統計処理を行なうページヒット検出装置4とで構成する。ページヒット検出装置4は、インターフェイス装置1からDRAM制御装置2へ出力されるアドレスとアクセス情報信号を監視し、メモリアクセスごとにページヒットを検出する。そして、検出した結果と過去の検出結果をもとに強制ページモードあるいは非強制ページモードの切替の判断を行なう。

【効果】 自動的にメモリアクセスのページヒット率を検出し、動的にDRAMの高速ページモードアクセスを利用するため、システム側からDRAMメモリのページヒットを意識することなく高速なメモリアクセスが行なえる。



【特許請求の範囲】

【請求項1】高速ページモードが可能なDRAMと、外部システムからのメモリアクセス要求を受け前記DRAMに対するアドレスとそのアクセス情報信号を発生するインターフェイス装置と、前記インターフェイス装置が出力するアドレスおよびアクセス情報信号を入力し、そのアドレスと保持されている前回入力したアドレスとの比較結果を行ない、その結果から前記DRAMに対して列アドレスだけを出し高速ページモードアクセスと行アドレスと列アドレスを出力する通常モードアクセスとを切り替えるDRAM制御装置とを備えたことを特徴とするデータ転送装置。

【請求項2】DRAMにアクセスしない定常状態において、前記DRAMに出力する制御信号が、高速ページモード状態になる強制ページモードと、通常モード状態になる非強制ページモードに切り替え可能な前記DRAM制御装置を備えたことを特徴とする請求項1記載のメモリ制御装置。

【請求項3】インターフェイス装置が出力する前記DRAMへのアドレスとアクセス情報信号を入力し、アドレスのページヒットを時間単位に統計し、前記DRAM制御装置に対し強制ページモードか非強制ページモードかの切り替えを行なうページヒット検出装置を備えたことを特徴とする請求項2記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速なDRAMアクセスを必要とする情報機器システム等に適用されるメモリ制御装置に関するものである。

【0002】

【従来の技術】図面を参照しながら従来のメモリ制御装置の一例について説明する。

【0003】図2は従来のメモリ制御装置を示すものである。図2において、1はインターフェイス装置、2はDRAM制御装置、3は高速ページモードアクセス可能なDRAMである。

【0004】以上のように構成されたメモリ制御装置について以下にその動作について説明する。

【0005】まず、DRAM3に対して出力する制御信号について説明する。図4にDRAMアクセス制御の手順を示す。この例では書き込み動作を2回行なうものとする。図4中のRAS信号は行アドレスを出力するタイミングを表し、この信号がハイからロウに変化する瞬間にDRAMは行アドレスを受けとる。またCAS信号は列アドレスを出力するタイミングを表し、この信号がハイからロウに変化する瞬間にDRAMは列アドレスを受けとり、データをDRAM内部に書き込む。

【0006】図4(a)は行アドレスがヒットしない場合を示している。この場合、図に示したように2回目のアクセスを行なうためRAS信号はロウからハイに戻ら

なければならない。

【0007】図4(b)は行アドレスがヒットする場合を示している。この場合、図に示したように2回目のアクセスを行なうために行アドレスを出力する必要はなく、RAS信号のプリチャージ期間を省くことができる。

【0008】以上のRAS信号の制御方式は、図5(a)と図5(b)に示した強制ページモードと図5(c)に示した非強制ページモードとに分けることができる。

【0009】強制ページモードではRAS信号を通常ロウに固定しておき、図5(a)に示したように、2回目のアクセスがページヒットしていれば、直ちにCAS信号をロウにしてデータを書き込むことができる。逆に図5(b)に示したように、2回目のアクセスがページヒットしていなければ、一度RAS信号をハイに戻しプリチャージ期間を過ぎた後、図4(a)に示したような通常アクセスの順序でデータを書き込まなければならない。

【0010】一方、非強制ページモードではRAS信号を通常ハイに固定しておき、図5(c)に示したように、常に通常アクセスでデータを書き込む。

【0011】以上のことを前提に、全体の動作説明を次に述べる。システム側はDRAM3にアクセスする場合、DRAM制御装置2がDRAM3に対して出力する制御信号の制御モードを、強制ページモードか非強制ページモードかのどちらかに設定する。この設定は、ページヒットが頻繁に起こるか否かを予め予測して行なわれなければならない。

【0012】次に、システムからインターフェイス装置1がメモリアクセスを要求を受けると、受けつけた要求はDRAM3に対するアドレスとアクセス情報にデコードされ、DRAM制御装置2に送られる。

【0013】DRAM制御装置2では送られて来るアドレスとアクセス情報をもとに前回のアクセスに対して、行アドレスを比較しページヒットを検出する。ページヒットの有無の検出結果と指定されたモードによって、DRAM3に対して高速ページモードアクセスあるいは通常モードアクセスを行なう。

【0014】以上のように、システムからメモリアクセスのモードを最速に設定できれば、高速なメモリアクセスを行なうことができる。

【0015】

【発明が解決しようとする課題】しかしながら上記のような構成では、システム側からアプリケーションごとにメモリアクセスのページヒット確率を求めて強制ページモードあるいは非強制ページモードを設定しなければならないという問題点を有していた。

【0016】本発明は上記問題点に鑑み、自動的にページヒット確率を検出し、動的にモードを切り替えて高速な

メモリアクセスを行なうメモリ制御装置を提供することを目的とする。

【0017】

【課題を解決するための手段】上記問題を解決するために本発明のデータ転送装置は、高速ページモードが可能でDRAMと、外部システムからのメモリアクセス要求を受け前記DRAMに対するアドレスとそのアクセス情報信号を発生するインターフェイス装置と、前記インターフェイス装置が出力するアドレスおよびアクセス情報信号を入力し、そのアドレスと保持されている前回入力したアドレスとの比較結果を行ない、その結果から前記DRAMに対して列アドレスだけを出力し高速ページモードアクセスを行なうアドレスと列アドレスを出力する通常モードアクセスとを切替行ない前記DRAMにアクセスしない定常状態において前記DRAMに出力する制御信号が、高速ページモード状態になる強制ページモードと、通常モード状態になる非強制ページモードに切替え可能な前記DRAM制御装置と、前記インターフェイス装置が出力する前記DRAMへのアドレスとアクセス情報信号を入力し、アドレスのページヒットを時間単位に統計し、前記DRAM制御装置に対し強制ページモードか非強制ページモードかの切替えを行なうページヒット検出装置とを備えたことを特徴とするメモリ制御装置。

【0018】

【作用】本発明は上記した構成によって、自動的にメモリアクセスのページヒット率を検出することにより、動的に強制ページモードあるいは非強制ページモードの切替えが可能となる。

【0019】

【実施例】以下本発明の実施例を図面を参照しながら説明する。

【0020】図1は本発明の実施例におけるメモリ制御装置のブロック図を示すものである。図1において、1はインターフェイス装置、2はDRAM制御装置、3はDRAM、4はページヒット検出装置である。

【0021】ページヒット検出装置4は、インターフェイス装置1からDRAM制御装置2へ出力されるアドレスとアクセス情報信号を監視し、メモリアクセスごとにページヒットを検出する。検出した結果と過去の検出結果をもとに強制ページモードあるいは非強制ページモードの切替えの判断を行なう。

【0022】図3にページヒット検出装置4の一例となるブロック図を示し、上記の判断の方法を示す。

【0023】まず、ページヒット判断部41が、アクセスされたアドレスのページヒットを検出する。ヒット(ビット=1)かそうでないか(ビット=0)の1ビット

の結果はnビットのシフトレジスタ42にシフトインされる。シフトアウトされる情報は使用せず放棄される。これによってシフトレジスタ42には過去n回のページヒットの履歴が格納される。シフトレジスタ42の結果は重み付け処理部43によって重み付けされる。重み付け方法は、外部からのnビットの重み付け関数との論理積をとることによって行なわれる。重み付けされたnビットのデータにおいて、1となるビットの墨計と0となるビットの墨計との差分を墨計処理部44で求め、差分結果は判定部45により入力基準値と比較され、基準値以上であれば強制ページモードを出力し、基準値以下であれば非強制ページモードを出力する。

【0024】以上のページヒット検出装置4により自動的に強制ページモードあるいは非強制ページモードの切替えが行なわれる。DRAM制御部3は、このモードと入力されるアドレスとアクセス情報から高速ページモードアクセスあるいは通常モードアクセスの操作を行なう。

【0025】以上のように構成したメモリ制御装置では、確率的にページヒットの多いアクセスが可能となる。この処理はシステム側が認識しなくても動作するので、システム上のアプリケーションに依存しない。従って、高い性能でかつメモリアクセスの認識をしなくともシステムが構築できる。

【0026】なお、ページヒット検出装置4の構成は上記のような構成に限定せず、例えばマイクロプロセッサを用いてページヒットを統計処理するような構成としてもよい。

【0027】

【発明の効果】本発明は上記した構成によって、自動的にメモリアクセスのページヒット率を検出し、動的にDRAMの高速ページモードアクセスを利用するため、システム側からの操作の必要なくアプリケーションに依存しない高速なメモリアクセスが可能である。

【図面の簡単な説明】

【図1】本発明の実施例におけるメモリ制御装置の構成を示すブロック図

【図2】従来のメモリ制御装置の構成を示すブロック図

【図3】本発明の実施例同実施例の動作を示す図

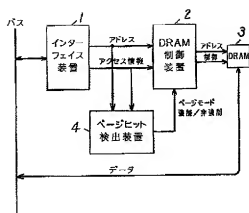
【図4】従来のメモリ制御装置の動作を示す図

【図5】同従来例における動作を示す図

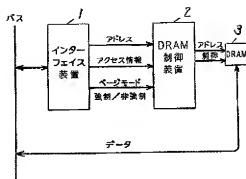
【符号の説明】

- 1 インターフェイス装置
- 2 DRAM制御部
- 3 DRAM
- 4 ページヒット検出装置

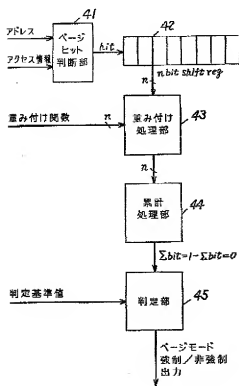
【図1】



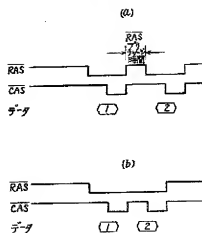
【図2】



【図3】



【図4】



【図5】

